

確率型演算素子及びこれを用いた確率型演算装置

発明の背景1. 発明の分野

- 5 本発明は、確率型演算素子及びこれを用いた確率型演算装置に関し、確率的に演算を実行する確率型演算素子を用いることで、特にMPEGエンコーディング処理や画像認識処理で必須の演算であるベクトルマッチングを高速に演算することができる確率型演算装置を提供するものである。

10 2. 関連技術の説明

近年のパーソナルコンピュータ（PC）の普及に見られるように、半導体素子も家庭内での使用も大幅に普及してき、単なる数値演算のみならず、インターネット、メールや画像処理など、個人的な用途での使用分野が増加しつつある。

- 15 しかしながら、これほど高速に演算できるようになったPCにおいても、全ての演算に対して十分な速度が得られているわけではない。例えば、人の発する声や言語を認識したり、カメラに写った人が誰であるかを認識したりするという処理は、膨大な量の演算を行う必要があるため、実時間による処理は困難である。

- 20 このような認識処理の基本は、記憶されている音声や顔などの情報をベクトル化して参照ベクトルとして記憶しておき、入力情報を同様にベクトル化して入力ベクトルとし、これらの類似を検出し、どれに最も近いかという演算を行うことである。このようなベクトル比較処理は、連想メモリ、ベクトル量子化、動き予測等のパターン認識、及びデータ圧縮等の幅広い情報処理に利用され得る基本的な処理である。

25 このようなベクトル比較はいずれの用途においても膨大な演算量を必要とし、また従来のPCに代表されるノイマン型コンピュータでは、そ

の原理として全てのベクトル比較演算を一旦終了しないと、どれが一番近いかを抽出できず、結果として非常に時間を要してしまう。

このような複数の数値間（数値の組みと数値の組みとの間）の「近さ」を高速に演算する新概念の従来装置として、非特許文献1が挙げられる。

第23図に、上記従来装置の構成を示す。

第23図の確率型演算装置は、デジタルデータの一致／不一致を確率的に演算する装置である。入力データ101と記憶データ103とが一致する場合（両者とも1または両者とも0の場合）はXNOR回路120により1が出力される。XNOR回路120の出力側にはパルス幅がカオス的に変化するPWMカオス発生器121が接続されている。ここでPWMカオスが発生した後、ある時間後にラッチ信号105をラッチ回路122に入力すると、そのときの入力が保持される。ラッチ回路122にはカオス的に幅が変動する信号が入力されているので、ラッチ回路122が保持する値がHighとなる動作は確率的動作となる。そしてHighが保持されるとスイッチ109がONとなり電流源107により電流が供給される。これら電流の総和を検出し、上位抽出回路111により比較することで、入力データ101の群と記憶データ103の群が近いものほど電流が確率的に大きく検出されるので、ベクトル間の近さ（この場合ハミング距離）を確率的に演算することができるのである。なお、上記従来技術に用いられるカオスは第24図の写像マップに示されるような、いわゆるロジスティックカオスを用いている。

【非特許文献1】

IEICE Transactions on Electronics, Vol. E84-C, No. 12, December 2000, pp 1723-1729に記載の”A CMOS Stochastic Associative Processor Using

g PWM Chaotic Signals.

しかしながら、上記従来の確率型演算装置は、第1に、デジタル情報の比較であるために、必ずしも現在のデジタル・シグナル・プロセッサに対して、優位な演算を実行できるものではなかった。

- 5 第2に、カオスとしてロジスティックカオスを用いていたが、これを用いることが確率的演算となりうるかの検証がなされておらず、素子の動作信頼性に課題があった。

第3に、カオスの幅や閾値（ラッチ時間）などが試行錯誤的であり、どのように素子を設計し駆動すればよいか曖昧であった。

10

発明の概要

- 本発明は、カオス発生確率を数学的に導出でき、その確率を線形に変化させるべきパラメータの設定手順が明瞭であり、且つアナログ情報の比較が可能な確率型演算素子及び確率型演算装置を提供することを目的とする。

15

- そして、これらの目的を達成するために、本発明に係る確率型演算素子は、テント写像のカオスからなる揺らぎを有するアナログ量を発生してこれを出力する揺らぎ発生器と、アナログ量で表された入力信号に前記揺らぎ発生器の出力が重畳された揺らぎ重畳信号を出力するミキサと、前記ミキサから出力される揺らぎ重畳信号を閾値処理することによりパルスが発生してこれを出力する閾値処理器とを備えている。このような構成とすると、線形な確率演算を実行することができる。

20

前記閾値処理器は、前記閾値処理により2値のパルスを発生してもよい。

- 25 前記閾値処理器から出力されるパルスを検出するパルス検出手段をさらに備えていてもよい。

前記パルス検出手段が、前記パルスをカウントするカウンタを備えて

いてもよい。

前記パルス検出手段が、前記パルスの幅を積分する積分器を備えていてもよい。このような構成とすると、パルスの数のみならずその幅をも検出することができる。

- 5 前記閾値処理器から出力される2値のパルスの立上り及び立下りの少なくともいずれかでパルスを発生してこれを出力する変分検出器をさらに備えていてもよい。

前記変分検出器から出力されるパルスを検出するパルス検出手段をさらに備えていてもよい。

- 10 前記揺らぎを有するアナログ量の最大値が w_{\max} であり、前記入力信号の最大値及び最小値がそれぞれ V_{\max} 及び V_{\min} であるとき、前記閾値処理器の閾値 T が V_{\max} 以上であり、且つ w_{\max} が T と V_{\min} との差の1.5倍以上であることが好ましい。このような構成とすると、入力信号が大きくなるに連れてパルス発生数が減少する線形な確率演算を確実に実行することができる。
- 15

T が V_{\max} と等しく、且つ w_{\max} が V_{\max} と V_{\min} との差の1.5倍に等しいことがより好ましい。このような構成とすると、入力信号が大きくなるに連れてパルス発生数が減少する場合におけるパルスの発生効率を最大限にすることができる。

- 20 前記揺らぎを有するアナログ量の最大値が w_{\max} であり、前記入力信号の最大値及び最小値がそれぞれ V_{\max} 及び V_{\min} であるとき、前記閾値処理器の閾値 T が、 $(2w_{\max}/3 + V_{\max})$ 以上で且つ $(w_{\max} + V_{\min})$ 以下であることが好ましい。このような構成とすると、入力信号が大きくなるに連れてパルス発生数が増加する線形なパルス発生を実現することができる。
- 25

T が $(3V_{\max} + 4V_{\min})$ に等しく、且つ w_{\max} が $3(V_{\max} - V_{\min})$ に等しいことがより好ましい。このような構成とすると、入力信号が大

きくなるに連れてパルス発生数が増加する場合におけるパルス発生効率を最大限にすることができる。

また、本発明に係る確率型演算装置は、テント写像のカオスからなる揺らぎを有するアナログ量を発生してこれを出力する揺らぎ発生器と、
5 アナログ量で表された入力信号に前記揺らぎ発生器の出力が重畳された揺らぎ重畳信号を出力するミキサ、及び前記ミキサから出力される揺らぎ重畳信号を閾値処理することによりパルスを発生してこれを出力する閾値処理器を有する複数の確率型演算回路と、前記複数の確率型演算回路のそれぞれの閾値処理器から出力されるパルスを検出するパルス検出
10 手段とを備えている。このような構成とすると、複数の入力信号を並列に演算処理することができる。

前記複数の確率型演算回路のそれぞれの閾値処理器の出力端は、一端が前記パルス検出手段に接続された共通の配線に互いに並列に接続され、前記共通の配線の、前記出力端が接続された部分同士の間部分に遅延
15 回路がそれぞれ設けられていてもよい。このような構成とすると、1つのパルス検手段で、複数の入力信号の総和に対応するパルスを検出することができる。

所定数の要素をそれぞれ有する入力ベクトル及び参照ベクトルの前記要素間の差分をそれぞれ演算する前記所定数の距離演算器をさらに備え、
20 前記確率型演算回路の数が前記所定数であり、かつ前記所定数の距離演算器の出力が前記入力信号として前記所定数の確率型演算回路の前記ミキサにそれぞれ入力されてもよい。このような構成とすると、ベクトル間のマンハッタン距離を演算することができる。

前記所定数の距離演算器と前記所定数の確率型演算回路とを有する確
25 率型距離演算回路を複数有し、前記パルス検出手段が前記複数の確率型距離演算回路に対応するように設けられ、複数の前記参照ベクトルがそれぞれ前記複数の確率型距離演算回路に入力されてもよい。このような

構成とすると、ベクトルマッチングを実行することができる。

本発明の上記目的、他の目的、特徴、及び利点は、添付図面参照の下、以下の好適な実施態様の詳細な説明から明らかにされる。

5 図面の簡単な説明

第1図は本発明の実施の形態1に係る確率型演算素子の構成を示すブロック図である。

第2図は本発明の実施の形態1の確率型演算素子の他の構成例を示すブロック図である。

10 第3図は第1図及び第2図の確率型演算素子の揺らぎ発生器の構成を示すブロック図である。

第4図は第1図及び第2図の確率型演算素子のカウンタの構成例を示す回路図である。

15 第5図は第1図及び第2図の確率型演算素子のミキサの構成例を示す回路図である。

第6図は第1図及び第2図の確率型演算素子の閾値処理器の構成を示す回路図である。

第7図は第2図の確率型演算素子の変分検出器の回路構成の一例を示す回路図である。

20 第8図は変分検出器の動作を説明するための図である。

第9図はミキサ（増幅器）の出力と閾値とを示すグラフである。

第10図は閾値処理器の出力を示すグラフである。

第11図は揺らぎ電圧の発生に用いられるテント写像のカオスを説明するための図である。

25 第12図A、Bは、パルス発生の確率を説明する図である。

第13図は第1図及び第2図の確率型演算素子の閾値に対するパルス発生確率の変化を示すグラフである。

第14図は第1図及び第2図の確率型演算素子の動作を規定するパラメータの相関を示す図である。

第15図は本発明の実施の形態4に係る確率型演算素子の閾値処理器の構成を示す回路図である。

- 5 第16図は本発明の実施の形態4におけるミキサの出力と閾値とを示すグラフである。

第17図は第15図の閾値処理器の出力を示すグラフである。

第18図A、Bは本発明の実施の形態4の確率型演算素子のパルス発生確率を説明する図である。

- 10 第19図は本発明の実施の形態5に係る確率型演算装置の構成を示すブロック図である。

第20図は本発明の実施の形態6に係る確率型演算装置の構成を示すブロック図である。

- 15 第21図は本発明の実施の形態7に係る確率型演算装置の構成を示すブロック図である。

第22図は本発明の実施の形態8に係る確率型演算装置の構成を示すブロック図である。

第23図は従来の確率型演算素子の構成を示す回路である。

- 20 第24図は第23図の従来の確率型演算素子に用いられるロジスティックカオスの写像マップを示す図である。

好適な実施形態の詳細な説明

以下、本発明の実施の形態について、図面を参照しながら説明する。

(第1の実施形態)

- 25 本発明の第1の実施形態では、信号を、電圧によって表す場合について説明するが、信号を他のアナログ量（物理量：例えば電流等）を用いて表してもよい。また、信号として表されるデータは、アナログデータ

が好ましいが、3 値以上の多値データであっても構わない。

第 1 図は本実施の形態 1 に係る確率型演算素子の構成を示すブロック図である。

第 1 図において、確率型演算素子 1 は、揺らぎ発生器 1 5 と、確率型
5 演算回路 3 と、カウンタ 1 1 とを有している。確率型演算回路 3 は、ミキサ 4 5 と閾値処理器 4 7 と有している。揺らぎ発生器 1 5 は、揺らぎを有する電圧（以下、揺らぎ電圧という）を出力する。ミキサ 4 5 にはアナログデータを表す電圧信号である入力信号 1 3 が入力されており、ミキサ 4 5 は、入力信号 1 3 に揺らぎ発生器 1 5 から出力される揺らぎ
10 電圧を重畳して、これを出力する。閾値処理器 4 7 は、ミキサ 4 5 の出力を閾値処理して 2 値化することによりパルスが発生して、これを出力する。カウンタ 1 1 はミキサ 4 5 から出力されるパルスをカウントする。

なお、本実施の形態の確率型演算素子は第 1 図の構成でも適正な動作が得られるが、動作をより高信頼化するためには、第 2 図のように確率
15 型演算素子を構成することが好ましい。

第 2 図は本実施の形態の確率型演算素子の他の構成例を示すブロック図である。

第 2 図に示すように、この構成例では、ミキサ 4 5 と閾値処理器 4 7 との間にミキサ 4 5 の信号を増幅する増幅器 4 6 が設けられ、閾値処理
20 器 4 7 とカウンタ 1 1 との間に、閾値処理器 4 7 から出力されるパルスの立ち上がりで所定の幅のパルスを発生する変分検出器 4 9 が設けられ、変分検出器 4 9 から出力されるパルスがカウンタ 1 1 でカウントされる。このような構成とすることにより、ミキサ 4 5 の信号レベルの劣化が増幅器 4 6 で補償され、かつ変分検出器 4 9 が介在することによっ
25 て後述するように正確にパルスをカウントすることが可能になる。

次に、第 1 図及び第 2 図の確率型演算素子 1 の各部の構成を詳しく説明する。

第3図は揺らぎ発生器15の構成を示すブロック図である。第3図に示すように揺らぎ発生器15は、変量Xについて所定の演算を行う演算器201と、演算器201の出力を遅延して演算器201に入力する遅延回路202とを有しており、後で詳しく説明するように、演算器201からはテント写像のカオスからなる変量Xが出力される。本実施の形態では、この変量Xが電圧で表され、揺らぎ電圧 V_{cao} として出力される。

カウンタ11は、例えば、第4図に示すようなDフリップフロップを用いた非同期式リプルカウンタで構成されている。

第4図において、符号25はDフリップフロップを示す。電圧パルス V_{pul} がカウンタ11に入力されると、2進的に D_0 、 D_1 …… D_n のHigh出力が切り替わっていく。このため入力されたパルス数を知ることができるのである。

なお、本実施形態のカウンタ11は V_{pul} がLowからHighへ変化したときにカウントが進む、いわゆるアップカウンタである。

第5図はミキサ45の構成例を示す回路図である。ミキサ45は、いわゆるニューロンMOS（ ν MOS）と呼ばれる素子構造に類似した構造を有し、MOSトランジスタのゲート電極にキャパシタを接続した構造を基本としている。

第5図において、ミキサ45は、ソースフォロワ回路51を有している。ソースフォロワ回路51は、ゲート電極の電位（ V_{FG} ）に比例した電圧を出力（ V_{mix} ）する特性を有する。ソースフォロワ回路51のゲート電極には第1のキャパシタ53の下部電極が接続されている。また、ソースフォロワ回路51のゲート電極には第2のキャパシタ55の下部電極が接続されている。本実施形態1では第1のキャパシタ53の上部電極に揺らぎ発生器15の電圧 V_{cao} が入力され、第2のキャパシタ55の上部電極に入力信号13 V_{ana} が入力される。

次に、第5図に示す構成のミキサ45が、入力された電圧を重畳する機能を有することを説明する。

5 ソースフォロワ回路51のゲート電極の電位を V_{FG} とし、第1のキャパシタ53のキャパシタンスを C_1 、これへの入力電圧を V_1 、第2のキャパシタ55のキャパシタンスを C_2 、これへの入力電圧を V_2 とし、ソースフォロワ回路51を構成するPMOS及びNMOSのキャパシタンスをそれぞれ C_P 、 C_N とすると、電荷の保存則より次式が成立する。

$$10 \quad Q = C_1(V_1 - V_{FG}) + C_2(V_2 - V_{FG}) = V_{FG}(C_P + C_N)$$

ここに $C_1 = C_2$ とし、 α を次式で定義する。

$$\alpha = \frac{C_1}{2C_1 + C_N + C_P} = \frac{1}{2 + \left[\frac{C_N + C_P}{C_1} \right]}$$

式(1)と式(2)から次式を得る。

15

$$V_{FG} = \alpha(V_1 + V_2)$$

この V_{FG} に対応する V_{mix} がソースフォロワ回路51の特性に従って出力される。なお、本実施形態1では、ソースフォロワ回路51では、その入力と等しい電圧を出力するように各MOSの閾値を制御しているため、 V_1 と V_2 との和に比例した出力が得られる。ここで式(2)

20

において、 $(C_N + C_P)$ に対して C_1 が大きい場合、すなわち MOS トランジスタのゲート容量が十分に小さい場合には、 α の値は 0.5 に近づき、ミキサ 45 は入力された電圧のほぼ平均値を出力する特性を示す。

本実施形態 1 では、各電位の扱いを容易にするため、ミキサ 45 の出力を増幅器 46 により $1/\alpha$ (= 約 2) 倍して出力し、信号レベルの低下を補償している。これが第 2 図の構成において増幅器 46 を設けた理由である。

第 6 図は閾値処理器 47 の構成を示す回路図である。本実施形態では、閾値処理器 47 は、例えば CMOS インバータで構成されている。

10 第 7 図は変分検出器 49 の回路構成の一例を示す回路図である。

第 7 図において、 V_{in} は閾値処理器 47 からの入力電圧である。変分検出器 49 では、 V_{in} が AND 論理回路 301 に直接入力される一方、インバータ 302 により反転された後、遅延回路 302 によって遅延され、 V_{rev} として AND 論理回路 301 へ入力される。そして、これらの入力の AND 論理が AND 論理回路 301 から電圧 V_{out} として出力される。

第 8 図は変分検出器 49 の詳細な動作を示すグラフである。第 8 図において、横軸は時間を、縦軸は電圧を示している。また、点線は V_{in} を、破線は V_{rev} を、実線は V_{out} を示している。 V_{in} がパルス状に変化すると、 V_{in} が反転されかつ遅延された信号である V_{rev} は、第 8 図に示すように、所定の遅延時間をもった V_{in} の反転信号となる。その結果、これらの AND 論理が演算され、 V_{in} の値と V_{rev} の値とが共に High となる V_{in} の立ち上がりの部分のみにパルスをもつ電圧 V_{out} が出力される。この場合、遅延時間に相当する幅がパルスの幅となる。この変分検出器 49 の出力 V_{out} をカウンタ 11 においてパルス数としてカウントする。この効果は後述する実施形態において、複数の確率型演算素子から出力されるパルスを 1 つのカウンタでカウントするとき効果

的である。すなわちパルス幅が異なるパルスが出力されると、相互のパルスが重なり、正確にパルスをカウントできない場合が生じるが、パルス幅を規定することで相互のパルス間隔を制御すれば確実にパルス数をカウントすることができるのである。

- 5 なお、AND論理回路301に代えて例えばXNOR回路を用いると、 V_{in} の値と V_{rev} の値とが一致するパルスの立ち上がり及び立下りの双方でパルスを発生できるようになり、同様の機能を具現化できることは言うまでもない。

以上のように構成された確率型演算素子の動作を以下説明する。

- 10 第1図において、入力信号13が入力された状態で、揺らぎ発生器15から揺らぎ電圧が出力されると、ミキサ45から入力信号13に揺らぎ電圧が重畳された電圧（揺らぎ重畳信号：以下、揺らぎ重畳電圧という）の信号が出力される。この揺らぎ重畳電圧信号が閾値処理器47により閾値処理されてHighまたはLowの値を取る2値信号、すなわち、2値のパルス信号が出力される。

- 第9図には、本実施の形態の確率型演算素子の動作の一例として、揺らぎ電圧を重畳したミキサ45の出力を増幅した増幅器46の出力の波形を示している。このような波形の出力に対し、図示するように、閾値処理を例えば0.5[V]としたときの閾値処理器47の出力を第10図に示す。本実施の形態では閾値処理器47がインバータであるため、揺らぎ重畳電圧が閾値より下になったときにパルスが発生している。図示しないが、この閾値処理器47の出力を先の変分検出器49へ入力することで、パルスの立ち上がりのみで等しい幅のパルスを発生することができる、安定してカウンタ11でパルスをカウントすることができる。
- 25 以上のように、本実施形態1の確率型演算素子では、入力信号13の電圧レベルによりパルス発生の確率が変化するので、電圧レベルの高低をパルス数として確率的に取得することができる。

なお本発明の確率型演算回路においては、その動作を決定する重要なパラメータとして、（１）揺らぎの種類、（２）揺らぎの振幅、（３）閾値の値が挙げられる。

従来例では、これらの相関が試行錯誤的であり、結果として素子動作の信頼性を欠いてしまっていた。

本件発明者は、以下に説明するように、上記確率型演算素子において、線形な確率演算を実行できる最適なカオスの種類と、そのときの各パラメータの最適値を一意的に決定できることを見出した。この指針により、数学的な動作の裏づけが得られるだけでなく、最も効率的なパルス発生条件において素子を駆動できるものである。

以下、まず線形動作を得る原理について説明した後、最適な確率型演算回路の駆動法について説明する。

まず、確率動作に対する解釈であるが、確率動作を繰り返し、例えば非常に大きい回数（１０万、１００万回など）の動作を繰り返せば、その解は徐々に厳密解に漸近すると考えてよい。

まず、従来例に見られたロジスティックカオスについて、無限回のカオス（変量 x ）発生を行った場合のヒストグラム（すなわち発生確率（正確には確率密度））は次の式で与えられる。

$$\rho(x) = \frac{1}{\pi \sqrt{x(1-x)}}$$

この式から、ヒストグラムは均一ではなく、ある閾値を設けたときにそれを下から上へ跨ぐ確率も、やはり線形とならないことが理解される。

本件発明者はこのような特性について熟慮を重ね、第１１図に示すようなテント写像のカオスにおいて線形な確率発生へと漸近することを突き止めた。

以下、これについて説明する。

テント写像のカオスは第 11 図に示すような写像で得られるカオスであり、次の式で定義される。

$$X_{n+1} = \begin{cases} 2X_n & (0 \leq X_n \leq 0.5) \\ 2(1-X_n) & (0.5 \leq X_n \leq 1) \end{cases}$$

5

第 11 図において、横軸の X_n はある時点（回数 = n ）に発生されるカオスの値であり、縦軸の X_{n+1} はその次の時点（回数 = $N+1$ ）に発生されるカオスの値を表している。第 11 図に示すように、 $X_n = 0.5$

10 の時に $X_{n+1} = 1$ となる三角形（テント型）の写像であるため、テント写像と呼ばれている。

このテント写像においては、ヒストグラムが変量 X の全ての領域で均一に 1 であることが、例えば *Chaos in Dynamical Systems* (E. Ott, Cambridge U. Press) p. 31 の式 (2.9) に記載されている。すなわち、長時間このカオス（すなわち変量 X ）の発生を観察すると、変量 X として、0 から 1 の間における任意の数値が発生する確率は全て等しいことが証明されている。

このテント写像のカオスを用いることにより、先に説明したパルス発生が線形に変化することを、以下、説明する。

20 第 12 図 A, B は、パルス発生の確率を説明する図である。上述のように、本実施の形態では、揺らぎ電圧（すなわち変量 X ）が閾値を上から下へ跨ぐように遷移したときにパルスが発生するように設定されているので、第 12 図 A, B においては、閾値を T_R とするとき、 X_n が a の領域（すなわち T_R より大きい領域）にあり、且つ X_{n+1} が b の領域（すなわち T_R より小さい領域）にある時にパルスが発生することと

25

なる。これらを満たす領域は第12図A, Bに符号”A”で示した領域であり、写像の線に注意すると、パルス発生が生じる X_n の値は図の X_p の範囲に入力があるときであると理解できる。

ここでテント写像においては、変量 X の全ての値の発生確率が均一であることから、パルス発生確率 P は次の式で与えられる。

$$P = X_p / 1 = X_p \quad \dots (6)$$

なお、 T_R をより大きくしていくと、第12図A, Bに示すように、 $X_{n+1} = 2 - 2X_n$ と $X_{n+1} = X_n$ の交点、すなわち $X_n = 2/3$ で、 X_p の範囲に変化が起こることが理解される。すなわち、第12図Aは $T_R \leq 2/3$ の場合における X_p の範囲を示しており、第12図Bは $T_R \geq 2/3$ の場合における X_p の範囲を示している。以上をまとめると次式のようになる。

$$P = \begin{cases} T_R/2 & (0 \leq T_R \leq 2/3) \\ 1-T_R & (2/3 \leq T_R \leq 1) \end{cases}$$

以下、この式を式(7)という。

式(7)について $0 \leq T_R \leq 1$ の領域でパルス発生確率 P の値を計算した結果を第13図に示す。

第13図より $T_R = 2/3$ のときにパルス発生確率 P は最大の $1/3$ となり、且つ $T_R = 0$ または 1 のときパルス発生確率 P は最小の 0 となることが理解される。

ここで、閾値の実際の値を T 、上述の入力信号 V_{ana} の値を V ($V_{min} \leq V \leq V_{max}$)とし、揺らぎ電圧 V_{cao} の値を w ($0 \leq w \leq w_{max}$)として定義する。第14図には、これらのパラメータの値の相関を示している。揺らぎ電圧の値は $0 \leq w \leq w_{max}$ の範囲で発生するので先の第12

図の T_R は次式で与えられることとなる。

$$T_R = (T - V) / w_{\max}$$

以下、この式を式（８）という。

- 5 ここで、入力信号の値 V が V_{\min} の時パルス発生確率 P が最大となり、
 入力信号の値 V が V_{\max} の時パルス発生確率 P が最小となる。しかも、
 V が $V_{\min} \sim V_{\max}$ の範囲で線形であるためには、第 1 3 図から次の式の
 いずれかが成立しなければならない。

$$\left\{ \begin{array}{l} 0 \leq T_R(V_{\max}) \leq T_R(V_{\min}) \leq \frac{2}{3} \\ \frac{2}{3} \leq T_R(V_{\min}) \leq T_R(V_{\max}) \leq 1 \end{array} \right.$$

10

以下、この式を式（９）という。

ここで式（８）を用いると次式を得る。

$$\left\{ \begin{array}{l} 0 \leq \frac{T - V_{\max}}{w_{\max}} \leq \frac{T - V_{\min}}{w_{\max}} \leq \frac{2}{3} \\ \frac{2}{3} \leq \frac{T - V_{\min}}{w_{\max}} \leq \frac{T - V_{\max}}{w_{\max}} \leq 1 \end{array} \right.$$

- 15 以下、この式を式（１０）という。

ここで $V_{\min} < V_{\max}$ であることを考えると式（１０）の第 2 式は解が存在しない（この式は、 $V = V_{\max}$ でパルス数が最大、 $V = V_{\min}$ でパ

ルス数が最小となる場合の解となる)。すなわち本実施の形態の確率型演算素子においては、 T_R の範囲は0以上2/3以下の範囲と決定される。このときのパルス発生確率 P は式(7)より一意的に $P=T_R/2$ で計算できる。

- 5 ここでパルス発生確率差： η を $\eta=P(V_{\min})-P(V_{\max})$ で定義すると、これらの検討結果より、

$$\eta = P_{\max} - P_{\min} = \frac{V_{\max} - V_{\min}}{2w_{\max}}$$

以下、この式を式(11)という。

- 10 すなわち、入力信号 V_{ana} の振幅と揺らぎ電圧 V_{cao} の最大値との比でパルス発生確率差が決まることが理解される。

- また、この式から、特に入力信号 V_{ana} が微弱な変動しか得られない場合における本素子の検出特性の良好性を示すことができる。例えば100MHzの周波数で揺らぎ電圧を1秒間発生し、この揺らぎ電圧の最大値 w_{\max} を例えば1[V]とすると、例えば、 $V_{\max}-V_{\min}=1[\text{mV}]$ とい
- 15 った振幅の微弱な入力信号でも $\eta=5 \times 10^{-4}$ でありパルス数の差としては $5 \times 10^{-4} \times 10^9 = 50$ 万パルスであり非常に大きな差として検出できることが分かる。

また式(10)の第1式より次の関係が成立する。

20

$$w_{\max} \geq \frac{3}{2}(T - V_{\min})$$

以下、この式を式(12)という。

$$T \geq V_{\max}$$

以下、この式を式（１３）という。

まず式（１３）より、閾値 T は入力信号 V_{ana} の最大値 V_{max} 以上の値に設定しなければならない。同時に、式（１２）より、揺らぎ電圧 V_{cao} の最大値は（閾値－入力信号の最小値 V_{min} ）の 1.5 倍以上に設定
5 しなければならない。

以上のように入力信号 V_{ana} の V_{max} 、 V_{min} の特性に応じて、閾値 T を決定でき、さらに加えるべき揺らぎ電圧 V_{cao} の振幅を決定できることが明らかとなった。

諸パラメータを本件発明者が見出した手法で決定することで、パルス
10 発生確率 P が線形であることが数学的に立証できる確率型演算素子を提供することができる。

このことは本素子のような確率的動作をする素子にとっては極めて重要なことであり、素子動作の信頼性を極めて向上できるものである。

以上のように、本件発明者の確率型演算素子によれば、カオスとして
15 テント写像のカオスを用いることでカオス発生のヒストグラムを均一にできるのみならず、カオス発生の確率を数学的に導出でき、且つその確率を線形に変化させるべきパラメータの設定手順が極めて明瞭になった。従来の確率型演算素子はパルス数とマッチング結果の相関には何の根拠も無かった（むしろ非線形であった）のに対し、テント写像のカ
20 オスを用いて演算することで、極めて信頼性が高くまた演算制度も高い素子を提供できるものである。

なお、本実施の形態ではカウンタとしてアップカウンタを用いたがダウンカウンタを用いても、すなわち、揺らぎ重畳電圧が閾値より下から上へ遷移する数を数えても全く同様の確率式が得られる。

25 また、確率型演算回路 3 の出力部にさらにスイッチを設け、これを On/Off させることでパルスの数及び幅を制御しても良い。例えば、このスイッチを揺らぎ発生器 15 のカオス（変量 X ）発生の周期と同期

させて On しかつ Off させてもよい。第 10 図に示す閾値処理器 47 の出力においては、幅の広いパルスは 2 回の揺らぎ回数（カオス発生回数）に渡る幅のパルスを示しているが、このように構成すると、全てのパルスが同じ幅を有するものとなり、幅の広いパルスも 2 つのパルスに
 5 分割される。従って、このスイッチから出力されるパルスをカウンタ 11 でカウントすることにより、閾値処理器 47 から出力されるパルスの数のみならずその幅をも評価することが可能になる。なお、スイッチの On 及び Off の周期は、カオス発生 of the 周期には限定されず、それより小さい任意の周期に設定することができる。但し、スイッチの On 及び
 10 Off の周期をカオス発生 of the 周期に同期させると、構成を簡素化することができる。また、この場合には、揺らぎ重畳電圧が閾値より低ければパルスが発生するので、パルス発生 of the 確率はより簡単に導くことができるが、同様に線形な特性を示す。

また、パルス発生 of the カウントも特に今回のような厳密なカウンタを用いる必要はなく、パルスを電荷とみなし、例えばキャパシタへ充電させ、このキャパシタの両端の電位を検出してもよい。

また、ミキサも、今回のような ν MOS 型の構造である必要はなく、アナログ波形を重畳できる機能を有すれば、同様のものを用いてよい。

20 (実施の形態 2)

本発明の実施の形態 2 に係る確率型演算素子は、実施の形態 1 の確率型演算素子において、さらにパルス発生確率差： η を最大にすることができるものである。

実施の形態 1 の検討における第 13 図及び式 (10) の第 1 式より、
 25 η が最大となるのは、 $V=V_{\min}$ であつ $T_R=2/3$ の場合であり、 $V=V_{\max}$ で $T_R=0$ である場合である。

このことから次の式が成立する。

$$T = V_{\max} \quad \dots (14)$$

$$w_{\max} = 1.5 (T - V_{\min}) \quad \dots (15)$$

これら 2 式より

$$w_{\max} = 1.5 (V_{\max} - V_{\min}) \quad \dots (16)$$

5 このとき、式 (11) で表される η は次式となる。

$$\eta = (w_{\max} \cdot 2/3) / (2w_{\max}) = 1/3 \quad \dots (17)$$

以上のことから次のことが明らかとなった。

本発明では、入力信号が最大の際にパルス発生確率が最小となり、
入力信号が最小の際にパルス発生確率が最大となり、且つ入力信号に
10 対して発生確率が線形に変化する確率型演算素子を実現することがで
き、しかも、この確率型演算素子では、以下のように最大のパルス発生
確率差を提供できる諸パラメータを一意的に決定できる。

すなわち、閾値 T は入力信号 V_{ana} の最大値 V_{\max} と同じ値に設定する。
揺らぎ電圧 V_{cao} の最大振幅 w_{\max} は入力信号 V_{ana} の振幅の 1.5 倍に設
15 定する。このとき、 η は最大値である $1/3$ となる。

以上に説明したように、本実施の形態の確率型演算素子は、最もパル
ス発生差が大きい検出感度の高い確率型演算素子を入力信号の特性の
みで決定でき、信号感度が高いだけでなく信頼性も極めて向上した確率
型演算素子を提供できるものである。

20

(実施の形態 3)

本発明の実施の形態 3 に係る確率型演算素子は、実施の形態 1 の確率
型演算素子において、入力信号が最小の際にパルス発生が最小となり、
入力信号が最大の時にパルス発生が最大となる確率型演算素子を提供
25 するものである。

この場合は実施の形態 1 の式 (9) 及び式 (10) において V_{\min} と
 V_{\max} とを入れ替えたものと同様になるので、次の式が成立する。

$$2/3 \leq T_R \leq 1 \quad \dots (18)$$

$$P = 1 - T_R \quad \dots (19)$$

よって $0 \leq P \leq 1/3$ となり、パルス発生確率 P の最大値は実施の形態 2 と等しくなる。また次の式が成立する。

$$5 \quad 2/3 \leq (T - V_{\max})/w_{\max} \leq (T - V_{\min})/w_{\max} \leq 1 \quad \dots (20)$$

これらの式より

$$(2/3 \cdot w_{\max} + V_{\max}) \leq T \leq (w_{\max} + V_{\min}) \quad \dots (21)$$

となり、この式 (21) を満たす w_{\max} と T とを決定すればよい。

さらに最大効率を得るには

$$10 \quad (2/3 \cdot w_{\max} + V_{\max}) = T = (w_{\max} + V_{\min}) \quad \dots (22)$$

であるので、

$$w_{\max} = 3 (V_{\max} - V_{\min}) \quad \dots (23)$$

であり、且つ

$$T = 3 V_{\max} + 4 V_{\min} \quad \dots (24)$$

15 であるように w_{\max} と T とを決定すればよい。

以上のように、式 (23) 及び式 (24) に従って揺らぎ電圧の振幅 w_{\max} と閾値 T とを決定すれば最大のパルス発生差を得ることができる。

(実施の形態 4)

20 本発明の実施の形態 4 に係る確率型演算素子は実施の形態 1 ～ 3 の確率型演算素子とは閾値処理器の構成が異なっている。

第 15 図は本実施の形態の確率型演算素子の閾値処理器 47 の構成を示す回路図である。

25 第 15 図に示すように、本実施の形態では、閾値処理器 47 が、インバータ 47a を 2 段接続するようにして構成されている。その他の点は実施の形態 1 と同様である。

第 16 図は本実施の形態におけるミキサ 45 の出力を示すグラフ、第

17図は本実施の形態の閾値処理器47の出力を示すグラフである。本実施の形態では、ミキサ47から、例えば、第16図に示すような揺らぎ重畳電圧が出力され、同図に示すような閾値が設定されている。この場合、閾値処理器47からは、第17図に示すようなパルスが出力される。実施の形態1～3の確率型演算素子との相違点は、本実施の形態では、第16図において、揺らぎ重畳電圧が閾値を下から上へ横切ったときにパルスの立ち上がりが発生する点にある。これは、閾値処理器47が2段のインバータ47aで構成されていて、その入力に対する出力の極性が反転したためである。

10 第18図A、Bは、本実施の形態におけるパルス発生の確率を説明する図である。第18図A、Bにおいて、第12図A、Bと同一符号は同一又は相当する部分を示す。

第18図A、Bが第12図A、Bと異なる点は、変量Xが、 X_n が T_R 以下である領域から X_{n+1} が T_R 以上である領域へ遷移する確率を求める点にある。 T_R が $2/3$ となる点の前後で X_P の範囲を求める式が変化する点は第12図A、Bと同様である。

$T_R \leq 2/3$ の領域では

$$P = X_P = T_R \cdot T_R / 2 = T_R / 2 \quad \dots (25)$$

となり、 $T_R \geq 2/3$ の領域では

20
$$P = X_P = (2 - T_R) / 2 \cdot T_R / 2 = 1 - T_R \quad \dots (26)$$

となる。

これらの式(25)及び式(26)を実施形態1の式(7)と比較すると、全く同じ式となることを本発明者らは見出した。すなわち、本実施形態の確率型演算素子においても実施の形態1～3の検討及び最適化の指針をそのまま適用することができるのである。

このことは、本発明の確率型演算素子の動作の対称性を考えれば納得できるものである。本確率的演算素子では、揺らぎ(変量X)が閾値を

横切ったときパルスが発生する。すなわち、揺らぎが連続して閾値の上または下に存在するときはパルスは発生しないため、パルスが発生するには、必ずパルスが発生しない方向に横切る動作も必要となる。このため、結果としてパルス発生確率は、揺らぎが閾値をいずれの方向に横切

5 　　ってパルスが発生するかには拘わらず、同じになるのである。

　　以上に説明したように、本実施形態 4 では閾値処理器の入力に対する出力の極性が実施の形態 1 ～ 3 と反転した確率型演算素子の動作について説明したが、結論的には実施形態 1 ～ 3 と同様に扱うことができることが示された。

10 　　なお、本実施の形態における確率的演算素子のその他の考える構成例においても同様の考え方で最適な動作を決定することができることは自明である。例えば、実施形態 3 のように、入力信号の値とパルス発生数が比例するような形態においても同様に最適な動作を決定することが可能である。

15 　　本発明の本質は、確率型演算素子において、揺らぎとしてテント写像のカオスを適用することにより、パルス発生確率を式で解くことを可能とし、またパルス発生確率を線形にし、さらにその効率を最大とする揺らぎの振幅と閾値とを一意的に決定できることを示した点にある。この指針に従って製造された確率型演算素子は、動作の効率が高いだけでなくその信頼性も高いものである。

20 　　

　　従って、本発明の非本質的事項、例えばカウンタをパルスの立下りをカウントするなどの回路構成については、種々の変形が可能である。

　　さらに、実施の形態 1 ～ 4 では、信号を表すアナログ量（物理量）として電位（電圧）を用いたが、他のアナログ量を用いてもよい。例えば、

25 　　アナログ量がパルス幅であれば、同様にこれに付加すべきパルス幅揺らぎと閾値とを決定することができる。また、アナログ量が電荷量であれば、これも同様に揺らぎに相当する電荷を付加し、これを例えばキャパ

シタに充電することで、閾値を電位として検出することもできる。これらはいずれも本発明の原理を具現化する手段でしかないことは言うまでもない。

5 (実施の形態 5)

以下、本発明の実施の形態 5 に係る確率型演算装置について、図面を参照しながら説明する。本実施の形態の確率型演算装置は、実施の形態 1 ～ 4 の確率型演算素子を用いた確率型演算装置である。

第 19 図は本実施の形態に係る確率型演算装置の構成を示すブロック図である。なお、第 19 図において第 2 図と同一部分には同一符号を付してその説明を省略する。第 19 図において、符号 61 は確率型演算装置を示す。符号 63 は確率型和算回路を示す。符号 7 (1)、7 (2)・・・7 (n) は遅延回路を示す。なお、本実施形態では確率型演算回路 3 は n 個 (複数) 設けられている。入力信号 13 は、本実施形態では n 個の信号を出力しており、それぞれが対応する確率型演算回路 3 へ入力されている、同様に揺らぎ発生回路 15 の出力も各確率型演算回路 3 へそれぞれ入力されている。これら各確率型演算回路 3 の内部の回路構成は、例えば第 2 図に示したものと同様である。n 個の確率型演算回路 3 は、カウンタ 11 に最も遠い側から、順に、遅延回路 7 を介して隣の確率型演算回路 3 の出力に接続され、カウンタ 11 に最も近い確率型演算回路 3 は直接カウンタ 11 に接続されている。

以上のように構成された確率型演算装置の動作を以下に説明する。

入力信号 13 は、例えば、n 個の要素を有するベクトルであり、その各要素に対応する所定のアナログ電圧をそれぞれ出力している。このそれぞれのアナログ電圧が対応する確率型演算回路 3 へ入力信号として入力される。ここで、揺らぎ発生器 15 が揺らぎ電圧を発生すると、実施の形態 1 ～ 4 で説明した原理によって、各確率型演算回路 3 において

確率的にパルスが発生する。例えば、確率型演算回路 3 が実施形態 2 のように構成されていれば、入力信号 1 3 の値が小さいほどパルスが多く発生する。このとき、揺らぎ電圧が入力されると同時に各確率型演算回路 3 から入力信号 1 3 の値に応じて確率的にパルスが出力されることとなるが、これらは揺らぎ信号に従ってほぼ同時に出力される。このとき、遅延回路 7 によってカウンタ 1 1 へ所定の間隔でパルスが到達することとなる。そこで、揺らぎを繰り返し与えれば、各確率型演算回路 3 は入力信号 1 3 の値に相当したパルスが発生するため、結果として、カウンタ 1 1 において、入力ベクトル 1 3 の要素に対応するアナログ電圧値の総和に対応したカウント数が得られることとなる。

以上に説明したように、本実施の形態の確率型演算装置は、実施形態 1 ～ 4 の確率型演算素子を用いることで、ベクトルの各要素の総和を確率的にカウント数として取得できるものである。

多くの微小なアナログ値の演算は、既存の半導体素子では演算が難しく、また電流駆動の場合が多いため、消費電力も大きくなってしまいが、本実施の形態の確率型演算装置を用いることで、低消費電力でしかもパルス、すなわち、デジタルの出力を容易に得ることが可能となる。

(実施の形態 6)

以下、本発明の実施の形態 6 に係る確率型演算装置について、図面を参照しながら説明する。本実施の形態の確率型演算装置は、実施の形態 5 の確率型演算装置とパルスの検出方法が異なるものである。

第 20 図は本実施の形態に係る確率型演算装置の構成を示すブロック図である。なお、第 20 図において第 19 図と同一物部分には同一符号を付してその説明を省略する。第 20 図において、符号 65 は確率型演算装置を、符号 66 は確率型和算回路を示す。また、符号 67 は、パルス（正確にはその電流）を積分する積分器としてのキャパシタを示し、

符号 6 9 は電位測定器を示す。

本実施の形態の確率型演算装置は、各確率型演算回路 3 から出力されたパルスによる電荷をキャパシタ 6 7 へ充電し、その充電されたキャパシタの両端の電位変化を電位測定器 6 9 により測定することで発生したパルス量の総和を検出するものである。実施の形態 5 の確率型演算装置と同様に、入力ベクトルの各要素の総和を確率的に電位として検出することが可能となる。

(実施の形態 7)

10 以下、本発明の実施の形態 7 に係る確率型演算装置について、図面を参照しながら説明する。本実施の形態の確率型演算装置は、2つのベクトルの距離を演算する装置である。

第 2 1 図は本実施形態の確率型演算装置の構成を示すブロック図である。なお、第 2 1 図において、第 1 9 図と同一部分には同一符号を付してその説明を省略する。

第 2 1 図において、符号 7 1 は確率型演算装置を示す。符号 7 3 は確率型距離演算回路を示す。符号 7 5 は参照信号を示す。参照信号 7 5 は、 n 個の要素を有する参照ベクトルを表し、その各要素に対応する n 個のアナログ電圧信号からなる。符号 7 7 (1)、7 7 (2)・・・7 7 (n) は距離演算器を示しており、本実施形態ではアナログ電圧の差分の絶対値を出力する。

以上のように構成された確率型演算装置の動作について、以下、説明する。

本実施の形態の確率型演算装置は、入力信号 1 3 の n 個の要素と参照信号 7 5 の n 個の要素との差分の絶対値を距離演算器 7 7 (1)～7 7 (n) によりそれぞれ演算し、これを確率型和算回路 6 3 へ入力することで入力ベクトルと参照ベクトルとの間の距離演算を実行するもので

ある。

参照信号 7 5 のデータ（参照ベクトルのデータ）は、図示されないアナログメモリに書きまれ、その後、入力信号 1 3 が入力されると、これらのベクトルの各要素間の距離が距離演算器 7 7 (1) ~ 7 7 (n) によりそれぞれ演算され、その結果が例えば電圧値として出力される。距離演算器 7 7 (1) ~ 7 7 (n) は、ここでは、例えば、ベクトル間の距離が近いほど低い電圧が出力されるように構成されている。これらの距離を表す電圧出力はそれぞれ確率型和算回路 6 3 へ入力され、そこで、揺らぎ発生器 1 5 から出力される揺らぎ電圧がこれらの電圧出力に重畳され、その後閾値処理される。その結果、入力ベクトルと参照ベクトルとの要素間の距離の総和がパルス数として出力され、カウンタ 1 1 その数がカウントされる。

確率型和算回路 6 3 を、例えば、入力信号が小さいほどパルスが多く発生するようにしておけば、確率型演算装置 7 1 全体の動作としては、入力信号 1 3 のベクトルと参照信号 7 5 のベクトルの距離が近いほどカウンタ 1 1 で多くのパルスがカウントされることとなる。

以上のように、本実施の形態の確率型演算装置は、実施の形態 1 ~ 4 の確率型演算素子が微小なアナログ量を容易に検出することができ、さらに実施の形態 5、6 の確率型演算装置がこれら微小アナログ量の総和を並列に演算できるという特性を生かし、ベクトル間の距離演算を確率演算として極めて効率的に実行できる確率型演算装置を提供するものである。

なお、確率型和算回路 6 3 は実施の形態 6 の確率型和算回路 6 6 で構成しても同様に動作することは言うまでもない。

25

（実施の形態 8）

以下、本発明の第 8 の実施の形態に係る確率型演算装置について、図

面を参照しながら説明する。本実施の形態の確率型演算装置は、実施の形態 7 の確率型演算装置をさらに並列に配置することで、複数のベクトルマッチング演算で最小距離にあるベクトルを検出できるものである。

第 2 2 図は本実施形態の確率型演算装置の構成を示すブロック図である。なお、第 2 2 図において第 2 1 図と同一部分には同一符号を付してその説明を省略する。

第 2 2 図において、符号 8 1 は確率型演算装置を、符号 1 7 は比較器を示す。本実施の形態ではカウンタ 1 1 の最上位ビット（例えば第 4 図の D_n ）が比較器 1 7 に接続されている。

10 本実施形態の確率型演算装置 8 1 では、実施の形態 7 の確率型距離演算回路 7 3 が並列に配置されている。そして、各確率型距離演算回路 7 3 に共通に、入力信号 1 3 が入力されるとともに揺らぎ発生器 1 5 の揺らぎ電圧が入力されている。また、各確率型距離演算回路 7 3 に対応してカウンタ 1 1 が設けられ、各カウンタ 1 1 の出力が比較器 1 7 に入力
15 されている。

各確率型距離演算回路 7 3 は参照ベクトルの n 個の要素に対応する n 個のアナログメモリ（図示せず）を備えており、各アナログメモリには、参照ベクトルの要素のデータ（参照信号 7 5）がそれぞれ書き込まれる。そして、この複数の確率型距離演算回路 7 3 にそれぞれ書き込まれた複数の参照ベクトルに対し、入力信号 1 3 のベクトルが入力されたとき、
20 どの参照ベクトルが入力信号 1 3 のベクトルに対し最も距離が近いかが検出される。

入力信号 1 3 を入力し、その後、揺らぎ発生器 1 5 により揺らぎ電圧を入力すると、実施の形態 7 で説明したように、ベクトル間の距離が近いほどカウンタ 1 1 には多くのパルスが発生される。これらのパルスを
25 各カウンタ 1 1 はカウントしていくが、揺らぎ電圧の入力を継続すると、やがてカウンタ 1 1 の最上位ビットが High 信号を出力する。比較器

17はこのHigh信号を検出し、どのカウンタ11（すなわち、確率型距離演算回路3）でHighが発生したかを出力する。

5 以上の動作により、入力信号13のベクトルに最も距離が近い参照信号75のベクトルが書き込まれた確率型距離演算回路73を知ることができる。

10 以上に説明したように、本実施の形態の確率型演算装置81はベクトルマッチング演算における距離演算を実行する装置であり、特にアナログ情報を直接確率演算的に比較し、且つ繰り返し回数を大きくすることで確率演算が線形演算へと漸近し、しかも、最もその効率が高くなるように製造され且つ駆動される確率型演算素子を提供するものである。

15 本発明の確率型演算装置は、特に多数の要素を有する多数のベクトル間のマンハッタン距離演算の場合に特に有効であり、アナログ演算の特徴である並列演算特性を最大限に生かし、且つ確率演算という概念を導入することで、アナログ演算が苦手とする多変数の演算を極めて効率的に実行することができるものである。

20 特に本発明の確率型演算装置においては、揺らぎとして導入されるカオス信号をテント写像によるカオスとし、また確率型演算素子において閾値とカオス振幅とを実施の形態1～4で述べた値に設定して動作させることで、距離演算に線形性が得られ且つ高効率でパルスが発生するため、素子動作の信頼性と高効率性が実現される。その結果、従来のコンピュータとは異なる新概念により、高速低消費で動作する演算素子を提供することができ、産業に貢献できること大なるものである。

25 上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び／又は機能の詳細を実質的に変更できる。

請求の範囲

1. テント写像のカオスからなる揺らぎを有するアナログ量を発生してこれを出力する揺らぎ発生器と、アナログ量で表された入力信号に前記揺らぎ発生器の出力が重畳された揺らぎ重畳信号を出力するミキサと、
5 前記ミキサから出力される揺らぎ重畳信号を閾値処理することによりパルスが発生してこれを出力する閾値処理器とを備えている、確率型演算素子。
2. 前記閾値処理器は、前記閾値処理により 2 値のパルスを発生する、
10 請求の範囲第 1 項記載の確率型演算素子。
3. 前記閾値処理器から出力されるパルスを検出するパルス検出手段をさらに備えている、請求の範囲第 1 項記載の確率型演算素子。
- 15 4. 前記パルス検出手段が、前記パルスをカウントするカウンタを備えている、請求の範囲第 3 項記載の確率型演算素子。
5. 前記パルス検出手段が、前記パルスの幅を積分する積分器を備えている、請求の範囲第 3 項記載の確率型演算素子。
20
6. 前記閾値処理器から出力される 2 値のパルスの立上り及び立下りの少なくともいずれかでパルスを発生してこれを出力する変分検出器をさらに備えている、請求の範囲第 2 項記載の確率型演算素子。
- 25 7. 前記変分検出器から出力されるパルスを検出するパルス検出手段をさらに備えている、請求の範囲第 6 項記載の確率型演算素子。

8. 前記パルス検出手段が、前記パルスをカウントするカウンタを備えている、請求の範囲第7項記載の確率型演算素子。

5 9. 前記パルス検出手段が、前記パルスの幅を積分する積分器を備えている、請求の範囲第7項記載の確率型演算素子。

10 10. 前記揺らぎを有するアナログ量の最大値が w_{\max} であり、前記入力信号の最大値及び最小値がそれぞれ V_{\max} 及び V_{\min} であるとき、前記閾値処理器の閾値 T が V_{\max} 以上であり、且つ w_{\max} が T と V_{\min} との差の1.5倍以上である、請求の範囲第1項記載の確率型演算素子。

11. T が V_{\max} と等しく、且つ w_{\max} が V_{\max} と V_{\min} との差の1.5倍に等しい、請求の範囲第10項記載の確率型演算素子。

15 12. 前記揺らぎを有するアナログ量の最大値が w_{\max} であり、前記入力信号の最大値及び最小値がそれぞれ V_{\max} 及び V_{\min} であるとき、前記閾値処理器の閾値 T が、

($2w_{\max}/3 + V_{\max}$)以上で且つ($w_{\max} + V_{\min}$)以下である、請求の範囲第1項記載の確率型演算素子。

20

13. T が($3V_{\max} + 4V_{\min}$)に等しく、

且つ w_{\max} が $3(V_{\max} - V_{\min})$ に等しい、請求の範囲第12項記載の確率型演算素子。

25 14. テント写像のカオスからなる揺らぎを有するアナログ量を発生してこれを出力する揺らぎ発生器と、

アナログ量で表された入力信号に前記揺らぎ発生器の出力が重畳され

た揺らぎ重畳信号を出力するミキサ、及び前記ミキサから出力される揺らぎ重畳信号を閾値処理することによりパルスを発生してこれを出力する閾値処理器を有する複数の確率型演算回路と、

前記複数の確率型演算回路のそれぞれの閾値処理器から出力されるパ
5 ルスを検出するパルス検出手段とを備えている、確率型演算装置。

15 15. 前記パルス検出手段が、前記パルスをカウントするカウンタを備えている、請求の範囲第14項記載の確率型演算装置。

10 16. 前記パルス検出手段が、前記パルスの幅を積分する積分器を備えている、請求の範囲第14項記載の確率型演算装置。

17. 前記複数の確率型演算回路のそれぞれの閾値処理器の出力端は、一端が前記パルス検出手段に接続された共通の配線に互いに並列に接続
15 され、前記共通の配線の、前記出力端が接続された部分同士の間部分に遅延回路がそれぞれ設けられている、請求の範囲第14項記載の確率型演算装置。

18. 所定数の要素をそれぞれ有する入力ベクトル及び参照ベクトルの前記要素間の差分をそれぞれ演算する前記所定数の距離演算器をさら
20 に備え、前記確率型演算回路の数が前記所定数であり、かつ前記所定数の距離演算器の出力が前記入力信号として前記所定数の確率型演算回路の前記ミキサにそれぞれ入力される、請求の範囲第14項記載の確率型演算装置。

25

19. 前記所定数の距離演算器と前記所定数の確率型演算回路とを有する確率型距離演算回路を複数有し、前記パルス検出手段が前記複数の

確率型距離演算回路に対応するように設けられ、複数の前記参照ベクトルがそれぞれ前記複数の確率型距離演算回路に入力される、請求の範囲第18項記載の確率型演算装置。

開示の要約

- 本発明の確率型演算素子及び確率型演算装置は、テント写像のカオスからなる揺らぎを有するアナログ量を発生してこれを出力する揺らぎ発生器と、アナログ量で表された入力信号に前記揺らぎ発生器の出力が
- 5 重畳された揺らぎ重畳信号を出力するミキサと、前記ミキサから出力される揺らぎ重畳信号を閾値処理することによりパルスを発生してこれを出力する閾値処理器とを備えている。